

jp2000091289/pn

L3 ANSWER 1 OF 1 JAPIO (C) 2003 JPO on STN

ACCESSION NUMBER: 2000-091289 JAPIO

TITLE: MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

INVENTOR: FUNAHASHI TOMOMASA

PATENT ASSIGNEE(S): HITACHI LTD

PATENT INFORMATION:

PATENT NO	KIND	DATE	ERA	MAIN IPC
-----				
***JP 2000091289***	A	20000331	Heisei	H01L021-304

APPLICATION INFORMATION

STN FORMAT: JP 1998-257267 19980910

ORIGINAL: JP10257267 Heisei

PRIORITY APPLN. INFO.: JP 1998-257267 19980910

SOURCE: PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 2000

INT. PATENT CLASSIF.:

MAIN: H01L021-304

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a washing technique for removing contamination by a treatment of a low temperature for a short time without damaging flatness of a wafer surface.

SOLUTION: Treatment liquid comprising hydrogen peroxide, hydrofluoric acid salt and water is used in pre-washing prior to a process for forming a gate oxide film 14 in a surface of a silicon wafer 1 by carrying out a heat treatment for it. Tetraalkylammonium fluoride, ammonium fluoride, etc., are used for hydrofluoric acid salt. As a result, it is possible to remove contamination of a wafer surface by washing treatment at a low temperature for a short time without damaging the flatness of a surface of a wafer.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-91289

(P2000-91289A)

(43)公開日 平成12年3月31日(2000.3.31)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 21/304

識別記号

6 4 7

F I

H 0 1 L 21/304

テマコード(参考)

6 4 7 A

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21)出願番号 特願平10-257267

(22)出願日 平成10年9月10日(1998.9.10)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 舟橋 倫正

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業本部内

(74)代理人 100080001

弁理士 筒井 大和

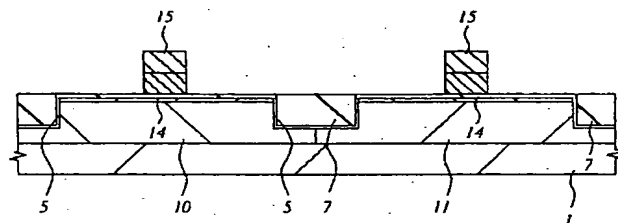
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 ウエハ表面の平坦性を損なうことなく、低温、短時間の処理で汚染を除去することのできる洗浄技術を提供する。

【解決手段】 シリコンウエハ1を熱処理することによって、その表面にゲート酸化膜14を形成する工程に先立つ前洗浄に、過酸化水素、フッ化水素酸塩および水を含む処理液を用いる。フッ化水素酸塩としては、テトラアルキルアンモニウムフルオライド、アンモニウムフルオライドなどが使用される。

図 12



## 【特許請求の範囲】

【請求項1】 過酸化水素、フッ化水素酸塩および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法であって、前記フッ化水素酸塩は、テトラアルキルアンモニウムフルオライドであることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法であって、前記フッ化水素酸塩は、アンモニウムフルオライドであることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1記載の半導体集積回路装置の製造方法であって、前記処理液のpHは、6～11であることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1記載の半導体集積回路装置の製造方法であって、前記処理液の温度は、40℃以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1記載の半導体集積回路装置の製造方法であって、前記シリコンウエハの表面を枚葉方式で洗浄することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1記載の半導体集積回路装置の製造方法であって、フッ酸および水を含む第2の処理液を用い、前記シリコンウエハの表面を洗浄する工程をさらに含むことを特徴とする半導体集積回路装置の製造方法。

【請求項8】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 過酸化水素、フッ化水素酸塩および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程、

(b) 前記シリコンウエハを熱処理することによって、その表面にゲート酸化膜を形成する工程、(c) 前記ゲート酸化膜の上部に堆積した導電膜をパターンニングすることによって、ゲート電極を形成する工程。

【請求項9】 アンモニア、過酸化水素、強アルカリ性成分および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項9記載の半導体集積回路装置の製造方法であって、前記強アルカリ性成分は、テトラアルキルアンモニウムハイドロオキシサイドであることを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項9記載の半導体集積回路装置の製造方法であって、前記処理液のpHは、8～11であることを特徴とする半導体集積回路装置の製造方法。

【請求項12】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) アンモニア、過酸化水素、強アルカリ性成分およ

び水を含む処理液を用い、シリコンウエハの表面を洗浄する工程、(b) 前記シリコンウエハを熱処理することによって、その表面にゲート酸化膜を形成する工程、

(c) 前記ゲート酸化膜の上部に堆積した導電膜をパターンニングすることによって、ゲート電極を形成する工程。

【請求項13】 アミン、過酸化水素、強アルカリ性成分および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程を含むことを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、シリコンウエハの洗浄プロセスに適用して有効な技術に関する。

## 【0002】

【従来の技術】単結晶シリコンからなるウエハを用いたLSIの製造プロセスでは、米国RCA社によって提唱されたウエハ洗浄技術（いわゆるRCA洗浄）(W. Kern et al, RCA Review, 31 (1970) p. 187) が広く用いられている。

【0003】上記RCA洗浄は、(1) アンモニア：過酸化水素：水＝1：1：5（容積比）の混合液（SC-1液またはAPM液）を用いた80℃、10～20分程度の浸漬処理、(2) フッ酸：水＝1：99の混合液（DHF液）を用いた室温、数十秒の浸漬処理、および(3) 塩酸：過酸化水素：水＝1：1：5の混合液（SC-2液またはHPM液）を用いた80℃、10分程度の浸漬処理を組み合わせた洗浄技術であり、SC-1液は主として微粒子（パーティクル）および有機物汚染を、DHF液は主として酸化シリコン膜を、HPM液は主として金属汚染を除去する目的で使用される。

【0004】また最近では、上記RCA洗浄に改良を加えた種々の洗浄技術が提案されている。

【0005】特開平5-136119号公報は、APM液にリン酸またはリン酸塩を添加することによって、過酸化水素の自己分解を抑制し、エッチング速度などの経時変化を低減する技術を開示している。

【0006】特開昭61-60799号公報は、APM液にアンモニウム塩（例えばリン酸アンモニウム）を添加することによって、Al（アルミニウム）配線の腐蝕を抑制する技術を開示している。

【0007】特開平6-216098号公報は、APM液に0.1～100ppmのコンプレクサン（例えばEDTA）あるいはそのカルボン酸基配位子を他の酸基で置換したキレート化剤を添加した混合液を使って洗浄を行ない、次に1ppm以上のフッ酸を添加した水を用いてリンスを行なうことによって、APM液の金属汚染除去効果を高めると共に、RCA洗浄プロセスを簡略化する技術を開示している。

【0008】特開平6-41773号公報は、水酸化アンモニウム、アルカリ金属水酸化物（KOHまたはNaOH）、コリンなどのアルカリ性成分を含む水溶液に吸着防止剤（例えばNTPO、EDTPO、EDDPO）を添加することによって、ウエハ表面への金属の吸着を抑制する技術を開示している。

【0009】特開平6-177101号公報は、APM液にノニオン型界面活性剤（例えばポリオキシエチレンノニルエーテル）を添加することによって、液表面に泡の層を形成し、アンモニアの散逸を抑制する技術を開示している。

【0010】特開平7-245281号公報は、0.05mol/l以上、5mol/l以下のアルカリ金属水酸化物（KOHまたはNaOH）および0.02mol/l以上、0.5mol/l以下の過酸化水素（またはさらにアルキルベンゼンスルホン酸塩などの界面活性剤）を含むアルカリ性の酸化性水溶液からなる洗浄液を開示している。この洗浄液は、強アルカリ性物質であるアルカリ金属水酸化物の添加によって液のpHを高め、通常のRCA洗浄では除去できない強固な汚染物に対する洗浄力を強化している。また、この洗浄液は、反応速度の増大によるエッチングむらが生じないよう、アルカリ金属水酸化物濃度と過酸化水素濃度とを、反応が均一に比較的ゆっくりと進行する範囲に限定している。

【0011】

【発明が解決しようとする課題】前記RCA洗浄で使用されるAPM液は、水酸基（OH<sup>-</sup>）で酸化シリコン膜をエッチングして異物を除去しているが、水酸基はシリコンウエハも僅かながらエッチングする。また、APM液は、アンモニアの混合比が大きいことから、水酸基の濃度が高い。

【0012】このため、APM液を用いた洗浄プロセスでは、ウエハの表面がエッチングされて荒れが発生し、平坦性が劣化する。この平坦性の劣化は、シリコンウエハとその表面に形成されるゲート酸化膜との界面特性に悪影響を及ぼし、駆動電流量の低下や電子移動度の低下といったデバイス特性の劣化を引き起こす。これは、特に数nm程度の極薄で高品質のゲート酸化膜を必要とするMOSFETのゲート形成プロセスで深刻な問題となる。

【0013】また、APM液を用いた洗浄プロセスでは、水酸基による酸化シリコン膜のエッチング速度が小さいために、高温（80℃）、長時間（10～20分）の処理を必要とする。しかし、ウエハの大口径化に伴う枚葉処理が進む中で、スループット向上の観点からは、洗浄プロセスの短時間処理が要求される。さらに、洗浄処理を高い温度で行なうことは、洗浄装置の稼動コストが上昇するという問題もある。

【0014】本発明の目的は、ウエハ表面の平坦性を損なうことなく、低温、短時間の処理で汚染を除去するこ

とのできる洗浄技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】（1）本発明の半導体集積回路装置の製造方法は、過酸化水素、フッ化水素酸塩および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程を含んでいる。

【0018】（2）本発明の半導体集積回路装置の製造方法は、アンモニア、過酸化水素、強アルカリ性成分および水を含む処理液を用い、半導体集積回路装置製造用シリコンウエハの表面を洗浄する工程を含んでいる。

【0019】上記した手段によれば、酸化シリコン膜を高速でエッチングするが、シリコン基板はエッチングしないエッチング種を使ったウエハ表面の洗浄が可能となるので、ウエハ表面の平坦性を損なうことなく、低温、短時間の処理で汚染を除去することが可能となる。

【0020】上記した発明以外の本願発明の概要を簡単に項分けして記載すれば、以下の通りである。すなわち、

1. 過酸化水素、フッ化水素酸塩および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【0021】2. 請求項1において、前記フッ化水素酸塩は、テトラアルキルアンモニウムフルオライドである半導体集積回路装置の製造方法。

【0022】3. 請求項1において、前記フッ化水素酸塩は、アンモニウムフルオライドである半導体集積回路装置の製造方法。

【0023】4. 請求項1において、前記処理液のpHは、6～11である半導体集積回路装置の製造方法。

【0024】5. 請求項1において、前記処理液の温度は、40℃以上である半導体集積回路装置の製造方法。

【0025】6. 請求項1において、前記シリコンウエハの表面を枚葉方式で洗浄する半導体集積回路装置の製造方法。

【0026】7. 請求項1において、フッ酸および水を含む第2の処理液を用い、前記シリコンウエハの表面を洗浄する工程をさらに含む半導体集積回路装置の製造方法。

【0027】8. 以下の工程を含む半導体集積回路装置の製造方法；

（a）過酸化水素、フッ化水素酸塩および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程、

（b）前記シリコンウエハを熱処理することによって、その表面にゲート酸化膜を形成する工程、（c）前記ゲ

ート酸化膜の上部に堆積した導電膜をパターニングすることによって、ゲート電極を形成する工程。

【0028】9. アンモニア、過酸化水素、強アルカリ性成分および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【0029】10. 請求項9において、前記強アルカリ性成分は、テトラアルキルアンモニウムハイドロオキサイドである半導体集積回路装置の製造方法。

【0030】11. 請求項9において、前記処理液のpHは、8～11である半導体集積回路装置の製造方法。

【0031】12. 以下の工程を含む半導体集積回路装置の製造方法；

(a) アンモニア、過酸化水素、強アルカリ性成分および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程、(b) 前記シリコンウエハを熱処理することによって、その表面にゲート酸化膜を形成する工程、

(c) 前記ゲート酸化膜の上部に堆積した導電膜をパターニングすることによって、ゲート電極を形成する工程。

【0032】13. アミン、過酸化水素、強アルカリ性成分および水を含む処理液を用い、シリコンウエハの表面を洗浄する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【0033】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0034】また、以下の実施の形態では、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0035】さらに、以下の実施の形態において、要素の数等（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことは言うまでもない。

【0036】同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記

数値および範囲についても同様である。

【0037】（実施の形態1）本実施の形態のCMOS FET (Complementary Metal Oxide Semiconductor Field Effect Transistor) の製造方法を図1から図26を用いて説明する。

【0038】まず、図1に示すように、比抵抗が10Ωcm程度の単結晶シリコンからなるウエハ1を熱処理してその主面に膜厚10nm程度の薄い酸化シリコン膜2を形成した後、この酸化シリコン膜2上に膜厚100nm程度の窒化シリコン膜3をCVD法で堆積する。次に、図2に示すように、窒化シリコン膜3上に素子分離領域を開孔したフォトレジスト膜4を形成し、このフォトレジスト膜4をマスクにして素子分離領域の窒化シリコン膜3をドライエッチングする。

【0039】次に、フォトレジスト膜4を除去した後、図3に示すように、窒化シリコン膜3をマスクにして酸化シリコン膜2とウエハ1とを順次ドライエッチングしてウエハ1に深さ350nm程度の溝5aを形成し、続いて900から1150℃の熱酸化処理を施して溝5aの内壁に酸化シリコン膜6を形成する。

【0040】次に、図4に示すように、例えば酸素とテトラエトキシシランとをソースガスに用いたCVD法でウエハ1上に膜厚800nm程度の酸化シリコン膜7を堆積した後、図5に示すように、酸化シリコン膜7を化学的機械研磨 (Chemical Mechanical Polishing; CMP) 法によって研磨し、窒化シリコン膜3を研磨のストップに用いて溝5aの内部のみに酸化シリコン膜7を残すことにより、素子分離溝5を形成する。続いて、約1000℃の熱処理を施して素子分離溝5の内部の酸化シリコン膜7をデンシファイ（焼き締め）する。

【0041】次に、熱リン酸を用いたウェットエッチングで窒化シリコン膜3を除去した後、図6に示すように、pチャネル型MOSFETの形成領域（図の左側部分）を開孔したフォトレジスト膜8をマスクにしてウエハ1にn型ウエルを形成するための不純物をイオン打ち込みし、さらにpチャネル型MOSFETのしきい値電圧を調整するための不純物をイオン打ち込みする。続いて、フォトレジスト膜8を除去した後、図7に示すように、nチャネル型MOSFETの形成領域（図の右側部分）を開孔したフォトレジスト膜9をマスクにしてウエハ1にp型ウエルを形成するための不純物をイオン打ち込みし、さらにnチャネル型MOSFETのしきい値電圧を調整するための不純物をイオン打ち込みする。

【0042】次に、フォトレジスト膜9を除去した後、ウエハ1を950℃、1分程度熱処理して上記n型不純物およびp型不純物を引き伸ばし拡散することにより、図8に示すように、pチャネル型MOSFET形成領域のウエハ1にn型ウエル10を形成し、その表面近傍にp型チャネル領域12を形成する。また同時に、nチャネル型MOSFET形成領域のウエハ1にp型ウエル1

1を形成し、その表面近傍にn型チャネル領域13を形成する。

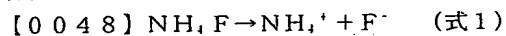
【0043】次に、上記n型ウエル10およびp型ウエル11の表面を以下の方法で洗浄した後、ゲート酸化膜を形成する。

【0044】図9は、本実施の形態で使用する枚葉式の洗浄・酸化膜形成装置を示す概略図である。洗浄・酸化膜形成装置100は、洗浄室102、乾燥室103、酸化膜形成室104、酸化膜形成室105、クーリングステージ106、アンロード107などを備えたマルチチャンバ方式で構成されており、装置中央の搬送系は、ウエハ1を上記各処理室に（から）搬入（搬出）するためのロボットハンド108を備えている。搬送系の内部は、大気の混入によってウエハ1の表面に自然酸化膜が形成されるのを極力抑制するために、窒素等の不活性ガス雰囲気中に保たれる。

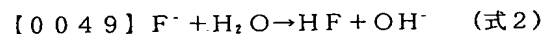
【0045】このような前洗浄－酸化－貫処理システムを採用することにより、ウエハ1を大気に接触させることなく、かつ短時間で洗浄室102から酸化膜形成室104へと搬送することができるので、ウエハ1の表面を前洗浄してからゲート酸化膜を形成するまでの間にウエハ1の表面に異物が付着したり、自然酸化膜が形成されたりする不具合を極力抑制することができる。

【0046】洗浄・酸化膜形成装置100のロード101にロードされたウエハ1は、まず1枚あるいは2枚単位で洗浄室102に搬送され、過酸化水素、フッ化水素酸塩および水からなる処理液に浸漬される。ここで、フッ化水素酸塩とは、テトラメチルアンモニウムフルオライド、テトラエチルアンモニウムフルオライドなどのテトラアルキルアンモニウムフルオライド、あるいはアンモニウムフルオライドが例示される。

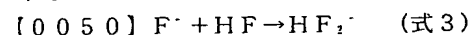
【0047】フッ化水素酸塩を含んだ上記処理液は、フッ化水素酸塩の解離によってフッ素イオン（F<sup>-</sup>）を生成する（式1）。



また、このフッ素イオン（F<sup>-</sup>）の一部は、加水分解によって微量のフッ化水素酸（HF）を生成する（式2）。



フッ化水素酸（HF）の一部は、さらにフッ素イオン（F<sup>-</sup>）と反応してHF<sub>2</sub><sup>-</sup>イオンを生成する（式3）。



このように、この処理液では、HFおよびHF<sub>2</sub><sup>-</sup>が酸化シリコン膜のエッチング種となる。これらのエッチング種は酸化シリコン膜を高速でエッチングするが、シリコンはエッチングしないという特徴がある。従って、この処理液は、水酸基（OH<sup>-</sup>）で酸化シリコン膜をエッチングして異物を除去するAPM液に比べて低温、短時間の処理で異物を除去することができ、常温での処理も

可能である。また、処理温度を40℃以上、好ましくは50℃以上に設定することにより、数十秒の洗浄で異物を除去することができる。さらに、この処理液は、APM液のようにウエハ1の表面を荒らすことがないので、前洗浄後のウエハ1の表面を原子レベルで平坦に保つことができる。

【0051】HFおよびHF<sub>2</sub><sup>-</sup>による酸化シリコン膜のエッチング速度は、フッ化水素酸塩のモル濃度および処理液のpHに依存する。過酸化水素の好ましい濃度は0.1～5%、フッ化水素酸塩の好ましいモル濃度は0.1～3mol/lである。また、処理液の好ましいpHは、6～11である。

【0052】ウエハ1を上記処理液に浸漬する際、超音波振動を併用することによって、処理時間をより短縮するようにしてもよい。また、処理液中にキレート化剤などの界面活性剤を添加し、一旦除去された汚染物の再付着を防止するようにしてもよい。

【0053】上記処理液による洗浄が完了したウエハ1は、フッ酸：水＝1：99の混合液（DHF液）を用いた室温、数十秒程度の浸漬処理に付されて表面の酸化シリコン膜が除去される（図10）。

【0054】その後、ウエハ1はロボットハンド108によって乾燥室103へ搬送され、スピン乾燥あるいはIPA（イソプロピルアルコール）乾燥などの乾燥処理に付されて表面の水分が除去される。ウエハ1の表面に残留した水分は、ゲート酸化膜中やゲート酸化膜／シリコン界面にSi-H、Si-OH等の構造欠陥を引き起こして電荷トラップを形成する原因となるので、十分に除去しておく必要がある。

【0055】乾燥処理の終わったウエハ1は、ロボットハンド108によって直ちに酸化膜形成室104へと搬送される。酸化膜形成室104へ搬入されたウエハ1は、800～900℃程度の水／酸素混合雰囲気中でその表面が酸化されることにより、n型ウエル10およびp型ウエル11の表面に膜厚4nm程度の清浄なゲート酸化膜14が形成される（図11）。

【0056】次に、ウエハ1を酸化膜形成室105に搬送し、NO（酸化窒素）あるいはN<sub>2</sub>O（亜酸化窒素）雰囲気中でウエハ1を熱処理することによって、ゲート酸化膜14とウエハ1との界面に窒素を偏析させる。ゲート酸化膜14が5nm程度まで薄くなると、ウエハ1との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。ウエハ1との界面に偏析した窒素はこの歪みを緩和するので、上記の酸化処理は、極薄ゲート酸化膜14の信頼性を向上できる。

【0057】次に、酸化処理が完了したウエハ1をクーリングステージ106で室温まで冷却してから、アンロード107を通じて外部に搬出し、ゲート電極用の導電膜を堆積するためのCVD装置（図示せず）へ搬送す

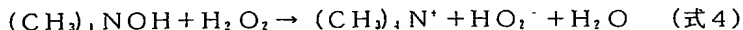
る。その際、このCVD装置を洗浄・酸化膜形成装置100の後段に接続し、ゲート酸化膜の形成からゲート電極用導電膜の堆積までを連続して一貫処理することにより、ゲート酸化膜14の汚染を有効に防止することができる。

【0058】次に、図12に示すように、ゲート酸化膜14の上部にゲート電極15を形成する。ゲート電極15は、例えばウエハ1上にCVD法で膜厚150nmのn型多結晶シリコン膜、膜厚150nmのノンドープ多結晶シリコン膜を順次堆積した後、フォトリソ膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

【0059】次に、図13に示すように、pチャネル型MOSFETの形成領域にp型不純物、例えばB（ホウ素）を垂直方向および斜め方向からイオン打ち込みして、ゲート電極14の両側のn型ウエル10にp<sup>+</sup>型半導体領域16およびp型半導体領域17を形成する。また、nチャネル型MOSFETの形成領域にn型不純物、例えばP（リン）を垂直方向および斜め方向からイオン打ち込みして、ゲート電極14の両側のp型ウエル11にn<sup>+</sup>型半導体領域18およびn型半導体領域19を形成する。

【0060】次に、図14に示すように、ウエハ1上にCVD法で堆積した酸化シリコン膜を異方性エッチングしてゲート電極14の側壁に厚さ0.15μm程度のサイドウォールスペーサ20を形成する。このとき、p型半導体領域17の上部のゲート酸化膜14およびn型半導体領域19の上部のゲート酸化膜14を除去する。続いてpチャネル型MOSFETの形成領域にp型不純物、例えばB（ホウ素）をイオン打ち込みして、ゲート電極14の両側のn型ウエル10にp<sup>+</sup>型半導体領域21を形成する。また、nチャネル型MOSFETの形成領域にn型不純物、例えばP（リン）をイオン打ち込みして、ゲート電極14の両側のp型ウエル11にn<sup>+</sup>型半導体領域22を形成する。

【0061】次に、ウエハ1の表面を洗浄した後、図15に示すように、pチャネル型MOSFETのゲート電極14、p<sup>+</sup>型半導体領域21（ソース領域、ドレイン領域）、nチャネル型MOSFETのゲート電極14、n<sup>+</sup>型半導体領域22（ソース領域、ドレイン領域）のそれぞれの表面にTiSi<sub>2</sub>（チタンシリサイド）層23を形成する。TiSi<sub>2</sub>層23は、ウエハ1上にスパッタ



このように、この処理液では、HO<sub>2</sub><sup>-</sup>が酸化シリコン膜のエッチング種となる。このエッチング種は酸化シリコン膜を高速でエッチングするが、シリコンはエッチングしないという特徴がある。従って、この処理液は、水酸基(OH<sup>-</sup>)で酸化シリコン膜をエッチングして異物を除去するAPM液に比べて低温、短時間の処理で異物を除去することができ、常温での処理も可能である。ま

\*タリング法で堆積したTi膜を熱処理してウエハ1およびゲート電極14と反応させた後、未反応のTi膜をエッチングで除去して形成する。以上の工程により、pチャネル型MOSFET(Qp)およびnチャネル型MOSFET(Qn)が完成する。

【0062】その後、図16に示すように、ウエハ1上にプラズマCVD法で堆積した酸化シリコン膜24に接続孔25から28を形成し、続いて酸化シリコン膜24上にスパッタリング法で堆積したAl合金膜をパターニングして配線29から31を形成することにより、本実施の形態のCMOSプロセスがほぼ完了する。

【0063】以上のように、本実施の形態によれば、ウエハ1の表面の平坦性を損なうことなく、低温、短時間の処理で汚染を除去することができる。これにより、極薄で高品質のゲート酸化膜13を形成することができるので、駆動電流量の低下や電子移動度の低下といったデバイス特性の劣化を抑制することができる。また、ウエハ1の前洗浄を低温、短時間で行なうことができるので、洗浄プロセスのスループットを向上することができると共に、洗浄装置の稼動コストを低減することができる。

【0064】（実施の形態2）前記実施の形態1では、過酸化水素、フッ化水素酸塩および水からなる処理液を使ってウエハの前洗浄を行なったが、アンモニア、過酸化水素、強アルカリ性成分および水からなる処理液を使ってウエハの洗浄を行なうこともできる。

【0065】ここで、強アルカリ性成分とは、テトラメチルアンモニウムハイドロオキシド、テトラエチルアンモニウムハイドロオキシドなどのテトラアルキルアンモニウムハイドロオキシドが例示される。また、アンモニアに替えてアミンを使用してもよい。ここで、アミンとは、モノメチルアミン、モノエチルアミンなどの第1級アミン、ジメチルアミン、ジエチルアミンなどの第2級アミン、トリメチルアミン、トリエチルアミンなどの第3級アミンが例示される。

【0066】強アルカリ性成分を含んだ上記処理液は、強アルカリ性成分の解離によってHO<sub>2</sub><sup>-</sup>イオンを生成する。例えばテトラメチルアンモニウムハイドロオキシド(TMAH)を使用した場合、次の式4に従って殆どすべてのTMAHが過酸化水素と反応し、多量のHO<sub>2</sub><sup>-</sup>イオンを生成する。

【0067】

た、処理温度を40℃以上、好ましくは50℃以上に設定することにより、数十秒の洗浄で異物を除去することができる。さらに、この処理液は、APM液のようにウエハ1の表面を荒らすことがないので、前洗浄後のウエハ1の表面を原子レベルで平坦に保つことができる。

【0068】HO<sub>2</sub><sup>-</sup>による酸化シリコン膜のエッチング速度は、強アルカリ性成分のモル濃度および処理液の

pHに依存する。強アルカリ性成分の好ましいモル濃度は0.1～5mol/lである。また、処理液の好ましいpHは、8～11である。

【0069】以上のように、本実施の形態によれば、前記実施の形態1と同様、ウエハ1の表面の平坦性を損なうことなく、低温、短時間の処理で汚染を除去することができる。

【0070】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0071】前記実施の形態では、ゲート形成プロセスの前洗浄に適用した場合について説明したが、例えばMOSFETのソース、ドレインの表面に $TiSi_2$ （チタンシリサイド）を形成する工程（図15参照）に先立って行なう前洗浄など、ウエハの表面を洗浄するすべてのプロセスに適用することができる。

【0072】また、前記実施の形態では、ウエハを枚葉方式で洗浄する場合について説明したが、バッチ方式で洗浄する場合にも適用できることは勿論である。

【0073】また、前記実施の形態2の処理液に用いる強アルカリ成分として、水酸化ナトリウム（NaOH）や水酸化カリウム（KOH）のようなアルカリ金属の水酸化物を使用することもできる。この場合は、アルカリ金属イオンによるデバイス特性の変動を防止する対策が必要となるが、テトラアルキルアンモニウムハイドロオキサイドを使用する場合に比べて処理液の製造コストを低減することができ、かつ処理液の廃棄処理も容易である。

【0074】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0075】本発明によれば、ウエハの表面の平坦性を損なうことなく、低温、短時間の洗浄処理でウエハ表面の汚染を除去することが可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図2】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図3】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図4】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図5】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図6】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図7】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図8】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図9】本発明の実施の形態1で使用する洗浄・酸化膜形成装置の概略図である。

【図10】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図11】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図12】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図13】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図14】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図15】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【図16】本発明の実施の形態1であるCMOS-LSIの製造方法を示すウエハの要部断面図である。

【符号の説明】

- 1 ウエハ
- 2 酸化シリコン膜
- 3 窒化シリコン膜
- 4 フォトレジスト膜
- 5 素子分離溝
- 5a 溝
- 6 酸化シリコン膜
- 7 酸化シリコン膜
- 8 フォトレジスト膜
- 9 フォトレジスト膜
- 10 n型ウエル
- 11 p型ウエル
- 12 p型チャネル領域
- 13 n型チャネル領域
- 14 ゲート酸化膜
- 15 ゲート電極
- 16 p<sup>+</sup>型半導体領域
- 17 p型半導体領域
- 18 n<sup>+</sup>型半導体領域
- 19 n型半導体領域
- 20 サイドウォールスペース
- 21 p<sup>+</sup>型半導体領域
- 22 n<sup>+</sup>型半導体領域
- 23  $TiSi_2$ （チタンシリサイド）層
- 24 酸化シリコン膜
- 25～28 接続孔
- 29～31 配線
- 100 洗浄・酸化膜形成装置装置
- 101 ロータ



13

14

- 102 洗浄室  
103 乾燥室  
104 酸化膜形成室  
105 酸化膜形成室  
106 クーリングステージ

- \* 107 アンローダ  
108 ロボットハンド  
Qn nチャネル型MOSFET  
Qp pチャネル型MOSFET

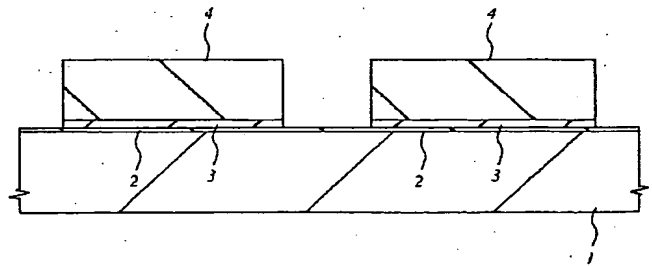
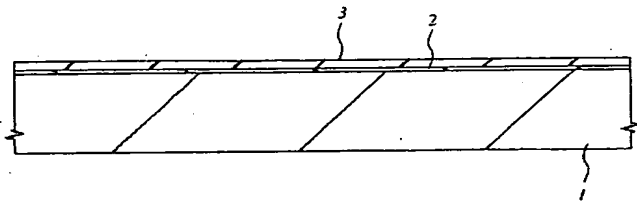
\*

【図1】

【図2】

図 1

図 2

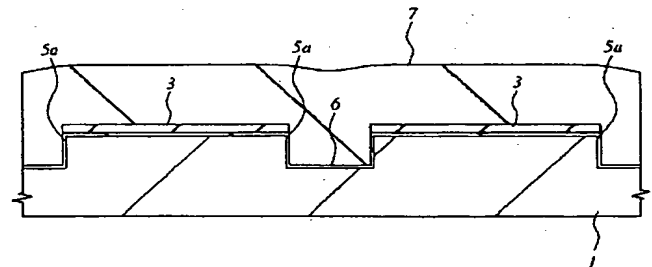
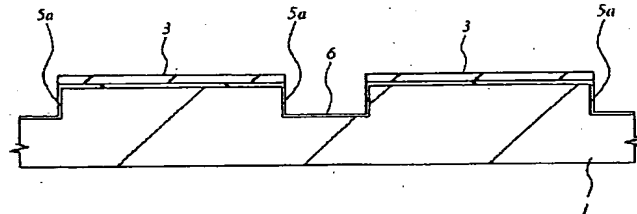


【図3】

【図4】

図 3

図 4

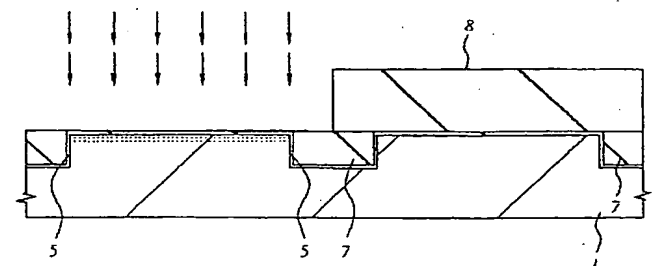
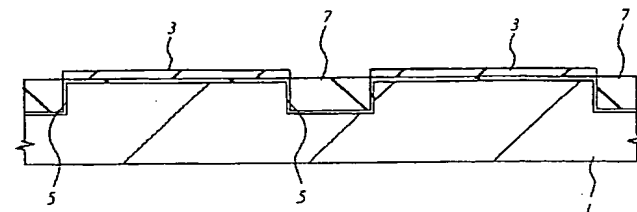


【図5】

【図6】

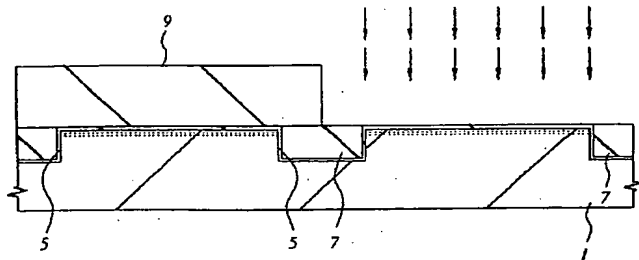
図 5

図 6



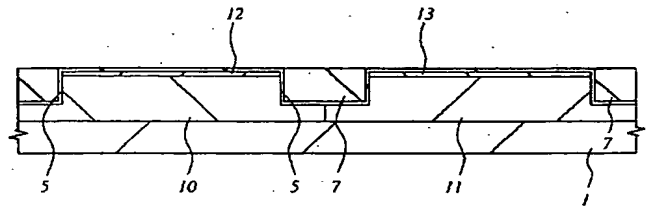
【図 7】

図 7



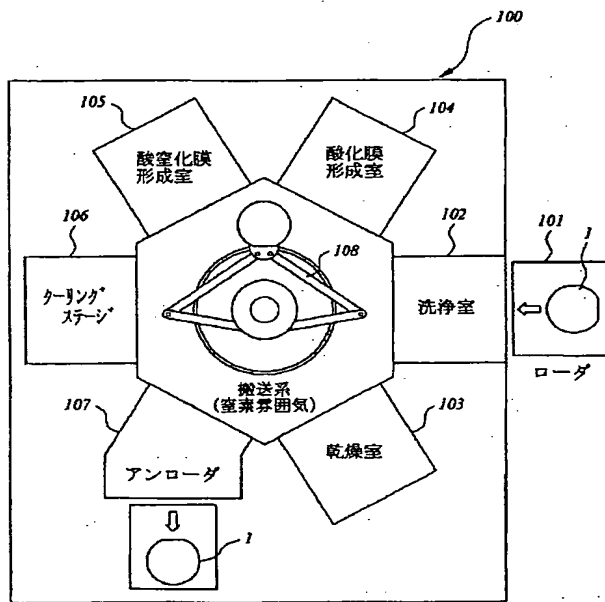
【図 8】

図 8



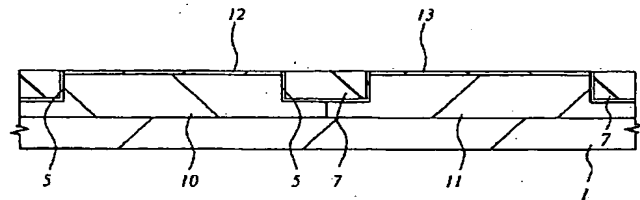
【図 9】

図 9



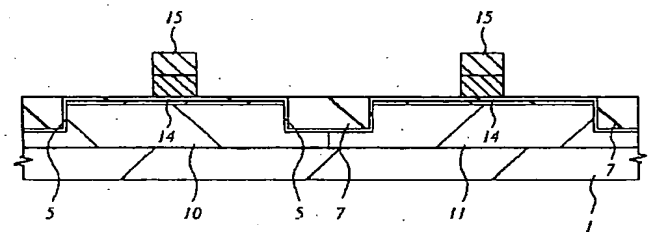
【図 10】

図 10



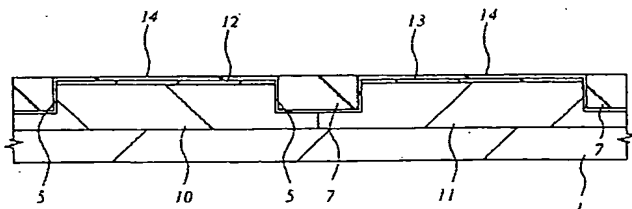
【図 12】

図 12



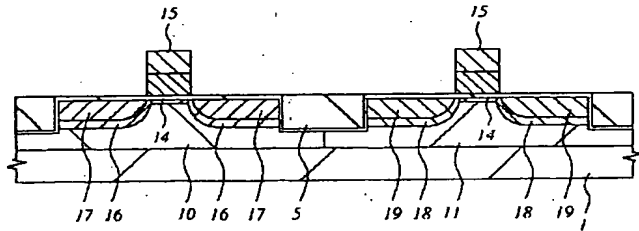
【図 11】

図 11



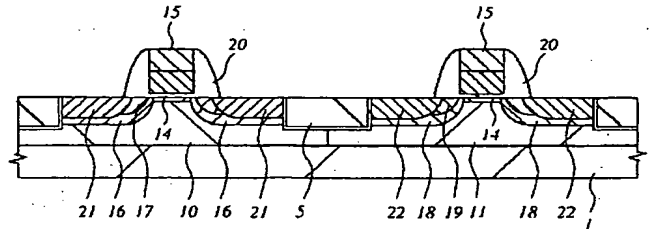
【図 13】

図 13



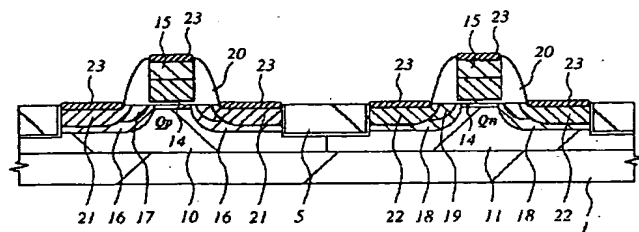
【図 14】

図 14



【図 15】

図 15



【図 16】

図 16

